

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-073704

(43)Date of publication of application : 26.03.1993

(51)Int.Cl.: G06G 7/60

(21)Application number : 03-267065 (71)Applicant : RICOH CO LTD

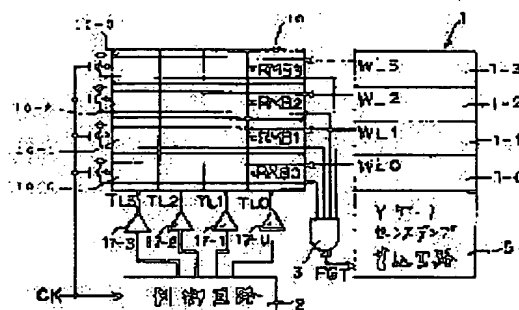
(22)Date of filing : 17.09.1991 (72)Inventor : OKUBO HIDE

(54) SIGNAL PROCESSING CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To imitate 'forgetfulness' by providing at least a tag cell of one bit on a coefficient storage memory circuit which stores a variable coupling coefficient.

CONSTITUTION: The variable coupling coefficient is stored in coefficient storage memory 1 composed of semiconductor memory such as an SRAM and a DRAM. The tag cells 10-3 to 10-0 of four bits are attached on four word lines WL0-WL3 of the coefficient storing memory 1, respectively. A signal from a control circuit 2 is supplied to the data lines TL0-TL3 of the tag cells 10-3 to 10-0 via inverters 17-0 to 17-3. Also, a clock CK is imparted to a forgetfulness control line *RMB in the tag cell 10 via a MOFET. Each *RMB output is supplied to a Y-gate sens amplifier write circuit 5 in the coefficient storage memory 1 as a signal FGT via a NAND circuit 3. Therefore, the 'forgetfulness' can be imitated depending on the state of the tag cell 10.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against]

examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-73704

(43) 公開日 平成5年(1993)3月26日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 G 7/60

7368-5B

審査請求 未請求 請求項の数5(全16頁)

(21) 出願番号 特願平3-267065

(22) 出願日 平成3年(1991)9月17日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 大久保 秀

東京都大田区中馬込1丁目3番6号 株式

会社リコー内

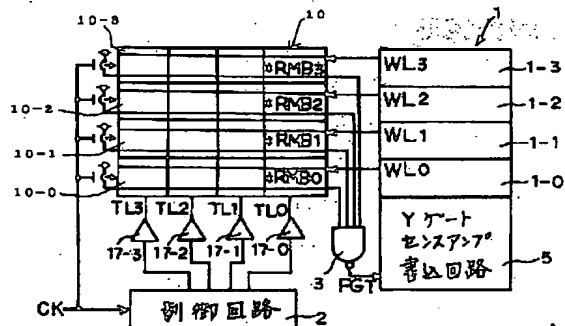
(74) 代理人 弁理士 鳥居 洋

(54) 【発明の名称】 信号処理回路装置

(57) 【要約】

【目的】 この発明は、「忘却」を模倣できるニューラルネットワークにおける信号処理回路を提供することを目的とする。

【構成】 この発明の信号処理回路装置は、可変結合係数を記憶する係数記憶メモリ回路1に、少なくとも1ビットのタグセル10を設ける。係数記憶メモリ回路1が選択されるとタグセル10は第1の値を記憶し、非選択の場合は、制御信号に第1の値とは異なる第2の値を記憶することにより、忘却を模倣する。



1

【特許請求の範囲】

【請求項1】 可変結合係数を記憶する係数記憶メモリ回路を備えた結合係数可変回路と、この結合係数可変回路の可変結合係数値を教師信号に対する誤差信号に基づき生成する結合係数生成回路とよりなる自己学習回路を神経細胞模倣素子に付設した複数の神経細胞模倣回路を網状に接続してなる信号処理回路装置において、上記可変結合係数を記憶する係数記憶メモリ回路に、少なくとも1ビットのタグセルを設け、上記タグセルの状態によって忘却を模倣することを特徴とする信号処理回路装置。

【請求項2】 上記タグセルは、係数記憶メモリ回路が選択されると第1の値を記憶し、非選択の場合は、制御信号に第1の値とは異なる第2の値を記憶することを特徴とする請求項1に記載の信号処理回路装置。

【請求項3】 上記タグセルにおいて、記憶情報をワイヤードOR接続する機能を付加したことを特徴とする請求項2に記載の信号処理回路装置。

【請求項4】 上記タグセルの個数又は制御信号の周波数で忘却までの時間を設定することを特徴とする請求項3に記載の信号処理回路装置。

【請求項5】 上記忘却までの時間をプログラム可能に構成したことを特徴とする請求項4に記載の信号処理回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、文字や図形認識、ロボットなどの運動制御、連想記憶などに応用される神経細胞回路網を模倣したニューラルコンピュータ等の信号処理回路装置に関する。

【0002】

【従来の技術】 生体の情報処理の基本的な単位である神経細胞（ニューロン）の機能を模倣し、さらに、この「神経細胞模倣素子」（神経細胞ユニット）をネットワークに構成することで情報の並列処理を目指したのが、いわゆるニューラルネットワークである。文字認識や連想記憶、運動制御等、生体ではいとも簡単に行われている、従来のノイマン型コンピュータではなかなか達成できないものが多い。

【0003】 生体の神経系、特に生体特有の機能、すなわち並列処理や自己学習等を模倣して、これらの問題を解決しようとする試みが、計算機シミュレーションを中心として、盛んに行われている。

【0004】 図6は、ニューラルネットワークのモデルについて説明するための図であり、図中、Aは、1つの神経細胞ユニットを表している。図7は、図6の神経細胞ユニットをネットワークに構成したもので、A₁、A₂、A₃は、それぞれ神経細胞ユニットを表している。

【0005】 1つの神経細胞ユニットは、多数の他の神経細胞ユニットと結合しており、それらから受けた信号

2

を処理して出力する。図7の場合、ネットワークは階層型であり、神経細胞ユニットA₂は、1つ前の層の神経細胞ユニットA₁より信号を受け、1つ先の層の神経細胞ユニットA₃へ信号を出力する。

【0006】 最初に、図6に示した神経細胞ユニットAについて説明すると、他の神経細胞ユニットと自分の神経細胞ユニットとの結合の度合いを表すのが、結合係数Tと呼ばれているものであり、i番目の神経細胞ユニットとj番目の神経細胞ユニットとの結合係数を、一般に、T_{ij}で表す。結合には、相手のニューロン（自分に信号を送ってくるニューロン）からの信号が大きいほど自分の出力が大きくなる興奮性結合と、逆に相手のニューロンからの信号が大きいほど自分の出力が小さくなる抑制性結合とがあり、T_{ij} > 0が興奮性結合、T_{ij} < 0が抑制性結合である。いま、自分のユニットがj番目の神経細胞ユニットであるとし、i番目の神経細胞ユニットの出力をy_iとすると、これに結合係数T_{ij}を掛けたT_{ij}y_iが自分のユニットへの入力となる。

【0007】 前述のように、各神経細胞ユニットは多数の神経細胞ユニットと結合しているので、それらのユニットに対するT_{ij}y_iを足し合わせたもの、すなわち、ΣT_{ij}y_iが、自分のユニットへの入力となる。これを内部電位u_jといい、次の数式1で表される。

【0008】

【数1】 $u_j = \sum T_{ij} y_i$

【0009】 次に、この入力に対して非線形処理をして、その神経細胞ユニットの出力とする。ここで用いる非線形関数を神経細胞応答関数と呼び、例えば次の数式2に示すようなシグモイド関数f(x)を用いる。

【0010】

【数2】 $f(x) = 1 / (1 + e^{-x})$

【0011】 図6は、このシグモイド関数を示す図である。

【0012】 上記神経細胞ユニットを、図7に示すようなネットワークに構成し、各結合係数T_{ij}を与え、上記数式1、2を次々と計算することにより、最終的な出力が得られる。

【0013】 図13は、上記ネットワークを電気回路で実現したものの一例を示す図で（特開昭62-295188号公報参照）、基本的には、S字形の伝達関数をもつ複数の増幅器53と、各増幅器53の出力を他の層の増幅器の入力に接続する抵抗性フィードバック回路網51とが設けられている。各増幅器53の入力側には接地されたコンデンサCと接地された抵抗RとによるCR時定数回路52が個別に接続されている。そして、入力電流I₁、I₂～I_rが各増幅器53の入力に供給され、出力はこれらの増幅器53の出力電圧の集合から得られる。

【0014】 ここに、入力や出力の信号の強度を電圧で表し、神経細胞の結合の強さは、各細胞間の入出力ライ

3

ンを結ぶ抵抗50（抵抗性フィードバック回路網51中の格子点）の抵抗値で表され、神経細胞応答係数は各増幅器53の伝達関数で表される。また、神経細胞間の結合には前述のように興奮性と抑制性とがあり、数学的には結合係数の正負符号により表される。しかし、回路上の定数で正負を実現するのは困難であるので、ここでは、増幅器53の出力を2つに分け、一方の出力を反転させることにより、正負の2つの信号53a、53bを生成し、これを適当に選択することにより実現するようにしている。また、図8に示したシグモイド関数に相当するものとしては増幅器が用いられている。

【0015】次に、ネットワーク学習機能について説明する。数値計算で用いられている学習法則としては、バックプロパゲーションと呼ばれる次のようなものがある。まず、各神経細胞ユニット間の結合係数は最初にランダムな値に設定しておき、この状態でネットワークに入力を与えると、その出力結果は必ずしも望ましいものではない。例えば、文字認識の場合、手書きの「1」の文字を与えたとなると、出力結果として「この文字は『1』である」と出るのが望ましい結果であるが、結合係数がランダムであると必ずしも望ましい結果とはならない。

【0016】そこで、このネットワークに正解（教師信号）を与えて、再び同じ入力があった時出力結果が正解となる（望ましい出力結果が得られる）ように、各結合係数を変化させる。この時、結合係数を変化させる量を求めるアルゴリズムが、バックプロパゲーションと呼ばれるものである。例えば、図7に示したような階層型のネットワークにおいて、最終層（図の右の層A3）のj番目の神経細胞ユニットの出力を y_j とし、その神経細胞ユニットに対する教師信号を d_j とすると、次の数式3で表されるEが最小となるように、次の数式4を用いて結合係数 T_{ij} を変化させる。

【0017】

$$\text{【数3】 } E = \sum (d_j - y_j)^2$$

【0018】

$$\text{【数4】 } \Delta T_{ij} = \partial E / \partial T_{ij}$$

【0019】具体的には、まず、出力層と、その1つ前の層における誤差信号 δ_j を、次の数式5により求める。

【0020】

$$\text{【数5】 } \delta_j = (d_j - y_j) \times f'(u_j)$$

【0021】それよりさらに前の層（中間層）における誤差信号 δ_i を、数式6によりも求める。

【0022】

$$\text{【数6】 } \delta_i = \sum \delta_j T_{ij} \times f'(u_i)$$

【0023】但し、 f' は f の一階微分である。

【0024】これを用いて、 δ （誤差信号）を求め、次の数式7により、 T_{ij} を求めて、 T_{ij} を変化させる。

【0025】

4

$$\text{【数7】 } \Delta T_{ij} = \eta (\delta_j y_i) + \alpha \Delta T_{ij}'$$

$$T_{ij} = T_{ij}' + \Delta T_{ij}$$

【0026】但し、 $\Delta T_{ij}'$ 、 T_{ij}' はそれぞれ前回の学習時での値である。また、 η は学習定数、 α は安定化定数と呼ばれているものであり、各々、理論的には求められないので経験的に求める。一般的には、これらの数値が小さいほど収束が遅く、また、大きいと振動してしまう傾向にある。オーダ的には1程度のものである。

【0027】このようにして学習をし、その後、再び入力を与えて出力を計算し、学習をする。この操作を何回も繰り返すうちに、やがて、与えられた入力に対して望ましい結果が得られるような結合係数 T_{ij} が決定される。

【0028】さて、このような学習方法を何らかの方法でハードウェア化しようとした場合、学習には、多量の四則演算が必要であり、実現が困難である。学習方法そのものもハードウェア化に対しては不向きである。

【0029】図14～図16は、このようなニューラルネットワークをデジタル回路で実現した例を示す図である。図14は単一神経細胞の回路構成例を示す図であり、60はシナプス回路、61は樹状突起回路、62は細胞体回路を示す。図15は、図14に示したシナプス回路60の構成例を示す図であり、係数回路60aを介して入力パルス f に倍率 a （フィードバック信号に掛ける倍率で1または2）を掛けた値が入力されるレートマルチプライヤ60bを設けてなり、レートマルチプライヤ60bには重み付けの値 w を記憶したシナプス荷重レジスタ60cが接続されている。また、図16は細胞体回路62の構成例を示す図であり、制御回路63、アップ/ダウンカウンタ64、レートマルチプライヤ65及びゲート66を順に接続してなり、さらに、アップ/ダウンメモリ67が設けられている。

【0030】ここでは、神経細胞ユニットの入出力をパルス列で表現し、そのパルス密度で信号の量を表している。結合係数は2進数で取り扱い、シナプス荷重レジスタ60cに保存している。信号演算処理は次のように行われる。

【0031】まず、入力信号をレートマルチプライヤ60bへ入力し、結合係数をレート値へ入力することによって、入力信号のパルス密度をレート値に応じて減らしている。これは、前述のバックプロパゲーションモデルの数式1の $T_{ij} y_i$ の部分に相当する。また $\sum T_{ij} y_i$ の \sum の部分は、樹状突起回路61によって示されるOR回路で実現している。結合には興奮性、抑制性があるので、あらかじめグループ分けしておき、それぞれのグループ別に論理和をとる。図14において、 F_1 は興奮性、 F_2 は抑制性出力を示す。

【0032】この2つの出力を、図16に示したカウンタ64のアップ側、ダウン側にそれぞれ入力してカウントすることで出力が得られる。この出力は2進数である

5

ので、再びレートマルチプライヤ65を用いて、パルス密度に変換する。この神経細胞ユニットを複数個用いてネットワークを構成することによって、ニューラルネットワークが実現できる。

【0033】学習機能は、ネットワークの最終出力を外部のコンピュータに入力して、コンピュータ内部で数値計算を行い、その結果を結合係数を保存するシナプス荷重レジスタ60cに書き込むことによって実現している。

【0034】本出願人は、神経細胞模倣素子より構成された神経細胞回路網による信号処理回路装置を既に開発し、特許出願している（特願平1-343891号）。この発明では、その信号処理回路装置を一実施例の例題として取り扱っている。以下、本出願人が既に開発した信号処理回路装置について述べる。

【0035】この信号処理回路装置においては、神経回路網の一例として、ディジタル論理回路を用いた神経細胞ユニットとこれを用いて構成したネットワーク回路による信号処理について提案している。

【0036】ここで基本的な考え方は、

①神経細胞ユニットに関する入出力信号、中間信号、結合係数、教師信号などは、すべて、「0」、「1」の2値で表されたパルス列で表現する。

②ネットワーク内部での信号の値は、パルス密度で表す（ある一定時間内の「1」の数）。

③神経細胞ユニット内での計算は、パルス列同士の論理演算で行う。

④結合係数のパルス列は、神経細胞ユニット内のメモリに格納する。

⑤学習は、このパルス列を書き換えることで実現する。

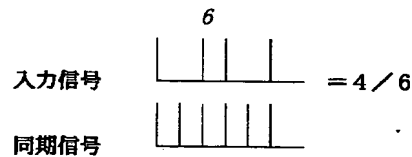
⑥学習については、与えられた教師信号パルス列を元に誤差を計算し、これに基づいて、結合係数を変化される。この時、誤差の計算、結合係数の変化分の計算もすべて、「0」、「1」のパルス列の論理演算で行う。というものであり、以下詳細に説明する。

【0037】図9は、信号演算部分、すなわち、1つの神経細胞模倣回路（ユニット）に相当する部分を示す図で、ネットワークの構成は、図7に示したような従来と同じ階層型を用いる。神経細胞ユニットの入出力は、すべて、「0」、「1」に2値化され、さらに、同期化されたものを用いる。

【0038】入力 y_i の信号の値（＝強度）は、パルス密度で表現し、例えば次の数式8に示すパルス列のように、ある一定時間内にある、「1」の状態の数で表す。

【0039】

【数8】



【0040】数式8は、4/6を表す信号を示しており、同期パルス6個中に入力信号は「1」が4個、「0」が2個であることを表している。この時、「1」と「0」の並び方は、後述するようにランダムであることが望ましい。

【0041】一方、結合係数 T_{ij} も、次の数式9で示すように、同様にパルス密度で表現し、「0」と「1」とのパルス列としてあらかじめメモリに用意しておく。

【0042】

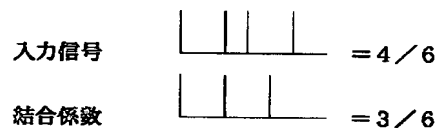
【数9】



【0043】数式9は、結合係数の値が「101010」=3/6であることを表し、この時も、前記と同様、「0」と「1」の並び方はランダムであることが望ましい。そして、この結合係数のビット列を同期クロックに応じてメモリより順次読み出し、図9に示すように各々AND回路18により入力パルス列との論理積をとる（ $y_i \cap T_{ij}$ ）。これを、神経細胞ユニットへの入力とする。上記の例を用いて説明すると、信号「101101」が入力された場合、これと同期してメモリ上より結合係数のビット列を呼び出し、順次ANDをとることによって、次の数式10で示すようなパルス列（ビット列）「101000」が得られる。

【0044】

【数10】



【0045】数式10は、入力信号のパルス列 y_i が、結合係数のパルス列 T_{ij} により変換され、その結果、神経細胞ユニットへの入力パルス密度が2/6となることを示している。

【0046】このAND回路18の出力のパルス密度は、近似的には「入力信号のパルス密度」と「結合係数のパルス密度」の積となり、アナログ方式における場合の結合係数と同様の機能を有する。これは、信号の列（パルス列）が長いほど、また、「1」と「0」との並び方がランダムであるほど、数値の積に近い機能を持つ

ことになる。ランダムでないとは、1（または0）が密

7

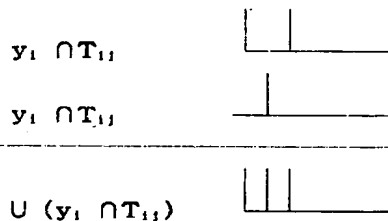
集（密接）していたり、1と0の並びに規則性があることを意味する。

【0047】なお、入力パルス列と比較して結合係数のパルス列の長さが短く、読み出すべきデータがなくなってしまう場合には、再びデータの先頭に戻って、読み出しを繰り返すことで対処できる。

【0048】1つの神経細胞ユニットは多くの入力をもつので、先に説明した「入力信号と結合係数との論理積」も多数ある。次に、これらのOR操作によりこれらの論理和をとる。入力は同期化されているので、1番目のデータが「101000」、2番目のデータが「010000」の場合、両者の論理和は、「111000」となる。これを多入力同時に計算し出力とすると次の数式11のようになる。

【0049】

【数11】



【0050】この部分はアナログ計算における場合の、信号の和を求める計算及び非線形関数（例えばシグモイド関数）の部分に対応している。

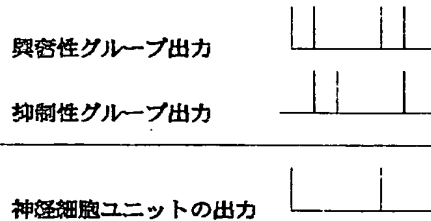
【0051】一般的なパルス演算において、パルス密度が低い場合、その論理和をとったもののパルス密度は、各々のパルス密度の和に近似的に一致する。パルス密度が高くなるにつれて、OR回路の出力は徐々に飽和してくるので、パルス密度の和とは結果が一致せず、非線形性が出てくる。論理和の場合、パルス密度は1よりも大きくなることはなく、かつ、0より小さくなることもなく、さらには、単調増加関数であるので、シグモイド関数と近似的に同様となる。

【0052】さて、結合には興奮性と抑制性があり、数値計算の場合には、結合係数の符号で表し、アナログ回路の場合には、前述したように結合係数 T_{ij} が負となる場合（抑制性結合）には増幅器を用いて出力を反転させ、 T_{ij} に相当する抵抗値で他の神経細胞ユニットへ結合させている。この点、デジタル方式の場合においては、まず、 T_{ij} の正負により各結合を興奮性結合と抑制性結合との2つのグループに分け、次いで、「入力信号と結合係数のパルス列の論理積」同士の論理和をこのグループ別に演算する。その結果、興奮性グループの出力が「1」で、かつ、抑制性グループの出力が「0」の時のみ「1」を出力する。この機能を実現するためには、次の数式12で示すように、抑制性グループの出力の反転信号と興奮性グループの出力との論理積をとればよい。

8

【0053】

【数12】



10 【0054】論理式で表現すると、次の数式13～15で表される。

【0055】

【数13】 $a = U(y_i \cap T_{ij})$ (T =興奮性)

【0056】

【数14】 $b = U(y_i \cap T_{ij})$ (T =抑制性)

【0057】

【数15】 $y_i = a \cap b$

20 【0058】この神経細胞ユニットを用いたネットワークの構成は、図7に示したような、階層型とする。ネットワーク全体を同期させておけば、各層とも上述の通りの機能で並列的に演算することが可能である。

【0059】次に、学習時の処理について説明する。

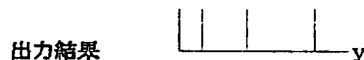
【0060】以下の①または②により誤差信号を求め、ついで③で述べる方法により結合係数の値を変化させることにより、学習を行う。

【0061】①出力層における誤差信号

最初に、出力層（図7の右側の層A3）で各ニューロンにおける誤差信号を計算し、それを元にそのニューロンに関わる結合係数を変化させる。そのための誤差信号の計算法について、次の数式16～19を用いて説明する。ここで、「誤差信号」を以下のように定義する。すなわち、誤差を数値で表すと、一般には正負両方の値をとり得るが、パルス密度ではそのような表現はできないので、+成分を表す信号と-成分を表す信号の2つを使って誤差信号を表現する。

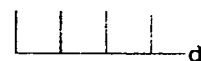
【0062】

【数16】



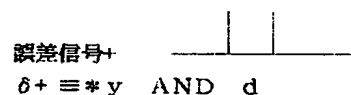
40 【0063】

【数17】



【0064】

【数18】

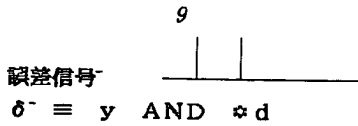


【0065】

50 【数19】

(6)

特開平5-73704



【0066】つまり、誤差信号の+成分は、出力結果が"0"で、教師信号が"1"の時"1"となり、それ以外は"0"となる。

【0067】他方、誤差信号の-成分は、出力結果が"1"で、教師信号が"0"のとき"1"となり、それ以外は"0"となる。このような誤差信号パルスを元に、結合係数を後述するように変化させることになる。

【0068】②中間層における誤差信号

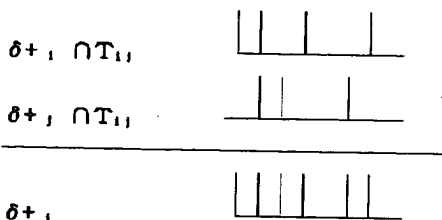
前述の①で求めた出力層における誤差信号を逆伝播させ、出力層とその1つ前の層との結合係数だけでなく、さらにその前の層の結合係数も変化する。そのため、中間層（図7の中央層A2）における各ニューロンでの誤差信号を計算する必要がある。中間層にあるニューロンから、さらに1つの先の層の各ニューロンへ信号を伝播させたのは、丁度逆の要領で1つの先の層の各ニューロンにおける誤差信号を集めてきて、自己の誤差信号とする。このことは、神経細胞ユニット内での上記数式8~11と同じような要領で行うことができる。すなわち、まず、結合を興奮性か抑制性かにより2つのグループに分け、乗算の部分は論理積、Σの部分は論理和で表現する。

【0069】但し、神経細胞ユニット内での上記数式8~11と異なるのは、yは1つの信号であるのに対して、δは正、負を表す信号として2つの信号を持ち、その両方の信号を考慮する必要がある。従って、T（結合係数）の正負、δ（誤差信号）の正負の4つの場合に場合分けする必要がある。

【0070】まず、興奮性結合の場合を説明する。中間層のある神経細胞ユニットについて、1つの先の層（図7における出力層A3）の神経細胞ユニットでの誤差信号+と、その神経細胞ユニットと自分（図7における中間層のある神経細胞ユニット）との結合係数の論理積をとったもの（ $\delta+ \cap T_{ij}$ ）を1つ先の層の各神経細胞ユニットについて求め、さらにこれらの同士の論理和をとる（ $= \cup (\delta+ \cap T_{ij})$ ）。その結果をこの層の誤差信号+とする。すなわち次の数式20のように表される。

【0071】

【数20】



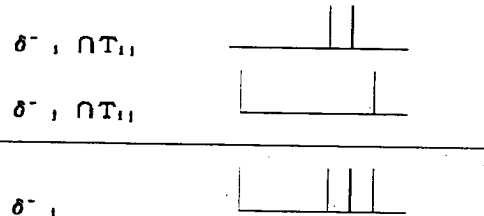
【0072】同様に、次の数式21で示すように、1つ

10

先の層の神経細胞ユニットでの誤差信号⁻と結合係数とのANDをとり、さらにこれら同士のORをとることにより、この層の誤差信号⁻を求めることができる。

【0073】

【数21】

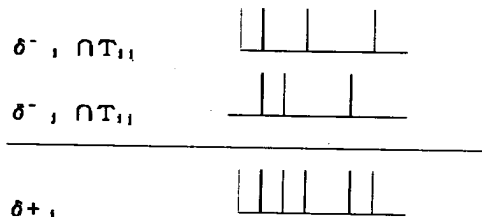


10

【0074】次に、抑制性結合の場合を説明する。次の数式22で示すように、1つ先の層の神経細胞ユニットでの誤差信号⁻と、その神経細胞ユニットと自分との結合係数のANDをとり、さらにこれらの同士のORをとった結果を、この層の誤差信号+とする。

【0075】

【数22】

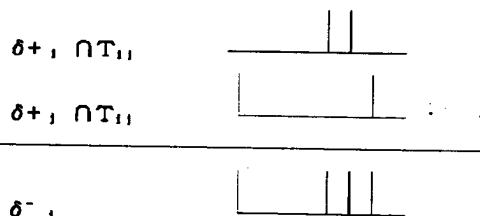


30

【0076】同様に、次の数式23で示すように、1つ先の層の神経細胞ユニットでの誤差信号+と結合係数とのANDをとり、さらにこれらの同士のORをとることにより、この層の誤差信号⁻を求めることができる。

【0077】

【数23】



40

【0078】1つの神経細胞ユニット（ニューロン）から別の神経細胞ユニット（ニューロン）への結合は、興奮性の場合と抑制性の場合の2つがあるので、上記数式20で求めた誤差信号δ+と上記数式22で求めた誤差信号δ+の論理和をとり、それを自分の神経細胞ユニット（ニューロン）の誤差信号δ+とする。同様に、上記数式21で求めた誤差信号δ⁻と上記数式23で求めた誤差信号δ⁻の論理和をとり、それを自分の神経細胞ユニット（ニューロン）の誤差信号δ⁻とする。

【0079】以上をまとめると、次の数式24のように

【0080】

【数24】

$$\delta^+_{i,j} = \{U(\delta^+_{i,j} \cap T_{i,j})\} \cup \{U(\delta^-_{i,j} \cap T_{i,j})\}$$

 $i \in \text{興奮性}$ $i \in \text{抑制性}$

$$\delta^-_{i,j} = \{U(\delta^-_{i,j} \cap T_{i,j})\} \cup \{U(\delta^+_{i,j} \cap T_{i,j})\}$$

 $i \in \text{興奮性}$ $i \in \text{抑制性}$

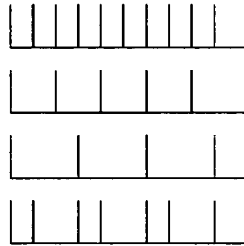
【0081】③誤差信号より各結合係数を変化

学習のレートに相当する機能の実現方法について説明する。数値計算においてレートは1以下の時、さらに学習能力が高まる。これは、パルス列の演算ではパルス列を間引くことで実現できる。これはカウンタ的な考え方をし、次の数式25で示すような例1、例2のようなもの*

*とした。例えば、 $\eta = 0.5$ では元の信号のパルス列を1つ置きに間引く。元の信号のパルスが等間隔でなくとも、もとのパルス列に対して1つ置きに間引く方式（＜例2＞の方式）とした。

10 【0082】

【数25】（例1）



元の信号

 $\eta = 0.5$ の場合

(パルスを1つ置きに間引く)

 $\eta = 0.33$ の場合

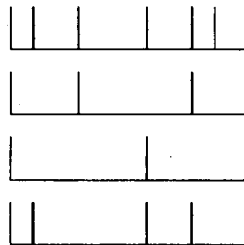
(パルスを2つ置きに残す)

 $\eta = 0.67$ の場合

(パルスを2つ置きに間引く)

20

(例2)



元の信号

 $\eta = 0.5$ の場合

(パルスを1つ置きに間引く)

 $\eta = 0.33$ の場合

(パルスを2つ置きに残す)

 $\eta = 0.67$ の場合

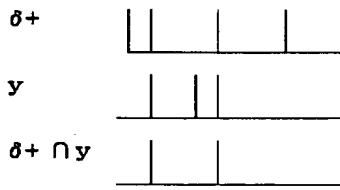
(パルスを2つ置きに間引く)

【0083】このように誤差信号を間引くことにより学習レートの機能を持たせる。さて、上記①または②より求めた誤差信号を用いて、各結合係数を変化させる方法について説明する。

【0084】次の数式26、27で示すように、変化させたい結合係数が属している線（図2参照）を伝播する信号（＝神経細胞ユニットに対する入力信号）と誤差信号の論理積をとる（ $\delta \cap y$ ）。但し、ここでは誤差信号は+と-の2つの信号があるので、それぞれを演算して求める。

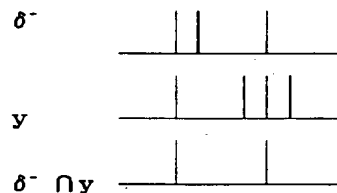
【0085】

【数26】

 $\rightarrow \Delta T^+$

【0086】

【数27】

 $\rightarrow \Delta T^-$

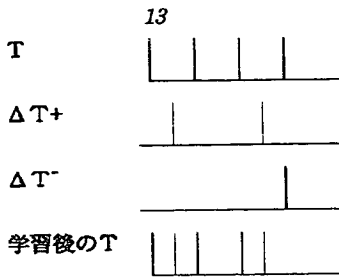
【0087】このようにして得られた2つの信号を ΔT^+ 、 ΔT^- とする。

【0088】これらを元にして新しい結合係数Tを求めるのであるが、ここでTの値は、絶対値成分なので、元のTが興奮性か抑制性かにより場合分けをする。

40 【0089】まず、興奮性の場合には、次の数式28で示すように、元のTに対して ΔT^+ の成分を増やし、 ΔT^- の成分を減らす。

【0090】

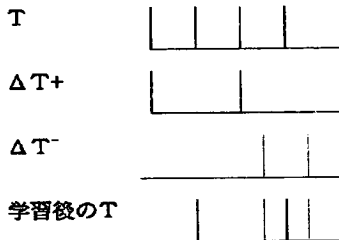
【数28】



【0091】次に抑制性の場合には、次の数式29で示すように、元のTに対して、 ΔT^+ の成分を減らし、 ΔT^- の成分を増やす。

【0092】

【数29】



【0093】以上の学習則に基づいてネットワーク全体の計算を行う。

【0094】次に図10～図12を参照して、以上のアルゴリズムに基づく実際の回路構成を説明する。ニューラルネットワークの構成は図7と同様である。図10は、図7の線（結線）に相当する部分の回路を示す図で、図11は、図7の丸（神経細胞ユニットA）に相当する部分の回路を示す図である。また、図12は、出力層の出力と教師信号から出力層における誤差信号を求める部分の回路を示す図である。これらの3つの回路を図7のようにネットワークにすることによって、自己学習が可能なデジタル式のニューラルネットワーク回路が実現できる。

【0095】まず、図10について説明する。20は神経細胞ユニットへの入力信号で上記数式8に相当する。上記数式9の結合係数はシフトレジスタ27に保存しておく。端子27Aがデータの取り出し口で、端子27Bがデータの入り口である。これはシフトレジスタと同様の機能をもつものであれば、その他のもの、例えば、RAMとアドレスコントローラとからなるもの等を用いてもよい。

【0096】回路28は上記数式10の演算を行うための回路で、入力信号と結合係数との論理積をとっている。この出力は結合が興奮性か抑制性かによってグループ分けしなければならないが、あらかじめ各々のグループへの出力23、24を用意し、どちらのグループに出すのかを切り換えるようにした方が汎用性が高い。このため、結合が興奮性か抑制性かを表すビットをメモリ33に保存しておき、その情報を用いて切り換えゲート回

路32により信号を切り換える。

【0097】また、図11に示したように各入力処理する上記数式11の演算を行うための複数のORゲート構成のゲート回路34が設けられている。さらに同図に示すように上記数式12で示した、興奮性グループが「1」で、かつ、抑制性グループが「0」の時のみ出力を出すANDゲートとインバータとによるゲート回路35が設けられている。

【0098】次に、誤差信号について説明する。図12は、出力層での誤差信号を生成する回路を示す図で、ANDゲート、インバータの組み合わせによる論理回路であり、上記数式16～19の演算を行う。すなわち、最終層からの出力38及び教師信号39より誤差信号40、41を生成する。また、中間層における誤差信号を求める上記数式20～23の演算は、図10中に示すANDゲート構成のゲート回路29より行われ、+、-に応じた出力21、22が得られる。

【0099】このように結合が興奮性か抑制性かで用いる誤差信号が異なるので、その場合分けを行う必要があるが、この場合分けはメモリ33に記憶された興奮性か抑制性かの情報と、誤差信号+、-信号25、26とに応じて、AND、ORゲート構成のゲート回路31により行われる。また、誤差信号を集める上記数式24の演算は、図11に示すORゲート構成のゲート回路36で行われる。また学習レートに相当する上記数式25の演算は、図11に示す1/2分周回路37により行われる。

【0100】最後に、誤差信号より新たな結合係数を計算する部分について説明する。これは上記数式26～29で表され、これらの演算は図10に示すANDゲート、インバータ、ORゲート構成のゲート回路30により行われる。このゲート回路30も結合の興奮性・抑制性によって場合分けしなければならないが、これは図10に示すゲート回路31により行われる。

【0101】前述の階層型神経回路網は、図7に示すようなネットワークを形成する。ここで、入力層に入力信号を与えて、出力層より、出力信号を得るフォワードプロセス、及び入力層に入力信号を与えた状態で、出力層に教師信号を与え、出力層と中間層との結合係数を変更し、さらに中間層と入力層との結合係数を変更する学習プロセスを考える。

【0102】まず、フォワードプロセスであるが、最初に入力層に入力信号を与えると、この入力信号が中間層に伝播していき、中間層の信号処理として、上記数式1、2の演算を行い、その結果を出力層に伝播させる。出力層では、これらの伝播してきた信号に対して、同様に上記数式1、2の演算を実行し、これらの結果として、出力信号を得ることになる。

【0103】学習プロセスでは、以上のフォワードプロセスを行った後、さらに出力層に教師信号を与える。出

力層では、上記数式5によって、出力層における誤差を求め、この誤差を中間層に伝播させるとともに、出力層の神経細胞ユニットと中間層の神経細胞ユニットとの間の結線の強度、すなわち結合係数を上記数式7により変更する。

【0104】次に、中間層における処理として、上記数式6によって、中間層における誤差を求め、この誤差により、中間層の神経細胞ユニットと入力層の神経細胞ユニットとの間の結線の強度（結合係数）を上記数式7により変更し、学習プロセスを完了する。

【0105】

【発明が解決しようとする課題】 上述したように、上記学習機能を有したニューラルネットワークにおける信号処理回路装置においては、「覚える」という要素を模倣することは可能である。

【0106】しかしながら、他の要素である「忘却」のことは模倣することができないという問題があった。

【0107】この発明は上述した従来の問題点を解消し、「忘却」を模倣できるニューラルネットワークにおける信号回路を提供することを目的とする。

【0108】

【課題を解決するための手段】 この発明の信号処理回路装置は、可変結合係数を記憶する係数記憶メモリ回路を備えた結合係数可変回路と、この結合係数可変回路の可変結合係数値を教師信号に対する誤差信号に基づき生成する結合係数生成回路とよりなる自己学習回路を神経細胞模倣素子に付設した複数の神経細胞模倣回路を網状に接続してなる信号処理回路装置において、上記可変結合係数を記憶する係数記憶メモリ回路に、少なくとも1ビットのタグセルを設け、上記タグの状態によって忘却を模倣することを特徴とする。

【0109】上記タグセルは、係数記憶メモリ回路が選択されると第1の値を記憶し、非選択の場合は、制御信号に第1の値とは異なる第2の値を記憶するように構成される。

【0110】また、上記タグセルにおいて、記憶情報をワイヤードOR接続する機能を付加すると良い。

【0111】更に、上記タグセルの個数又は、制御信号の周波数で忘却までの時間を模倣できるように構成すると良い。

【0112】また、上記忘却までの時間を、プログラム可能に構成すれば良い。

【0113】

【作用】 この発明によれば、結合係数を記憶するメモリに少なくとも1ビットのタグセルを設けることにより、メモリがアクセスされたか否かでこのタグセルの値を変更させる。

【0114】タグセルの状態により、アクセスがされないメモリ領域は「忘却」するように制御することで、「忘却」を模倣することができる。

【0115】また、「忘却」の時間をタグセルの個数または、周波数を制御することで、容易に設定できる。

【0116】

【実施例】 以下、前述のデジタル回路でニューラルネットワークを実現したものに対して、この発明を適用した実施例について説明する。

【0117】前述の図10に示すデジタル回路の構成において、可変結合係数はレジスタ27に記憶されているが、この発明においては、可変結合係数はSRAM、DRAMなどの半導体メモリにて構成される係数記憶メモリ1に記憶される。

【0118】そして、この係数記憶メモリ1の各ワードライン毎に少なくとも1ビットのタグセルを付加する。このタグセルの状態によって忘却を模倣するものである。

【0119】図1は、この発明の一実施例を示すブロック図である。

【0120】この実施例においては、係数記憶メモリ1の4つのワードラインWL0～WL3に夫々4ビットのタグセル10-3～10-0が付加されている。そして、このタグセル10-3～10-0のデータラインTL0～TL3には、制御回路2からの信号がインバータ17-0～17-3を介して与えられる。

【0121】また、タグセル10内の忘却制御ライン* RMBにはクロックCKがMOSFETを介して与えられ、そして、各* RMB出力は、ナンド回路3を介して信号FGTとして係数記憶メモリ1のYゲートセンスアンブ書込回路5に与えられる。

【0122】図2は、この実施例におけるタグセル10と係数記憶メモリ1との要部を示す回路用である。この図2に従いこの発明につき更に説明する。

【0123】この発明においては、係数記憶メモリ1のワードラインWLmにタグセル10が接続される。係数記憶メモリ1のワードラインWLmに、タグセル10のフリップフロップを構成するインバータ11、12がMOSFET13、14を介して接続されることにより、タグセル10が係数記憶メモリ1に付加される。このインバータ12の出力側は、MOSFET15のゲート出力に、またMOSFET15のソース側は忘却データライン* RMBnに夫々接続されている。尚、MOSFET15のドレイン側は接地される。

【0124】一方、MOSFET13には制御回路2よりの記憶情報に基づく出力がインバータ17を介して与えられる。また、忘却データライン* RMBnにはMOSFET16を介してクロック信号CKが与えられる。

【0125】図4はタグセルの具体的回路例を示す。この実施例では、インバータをCMOSで構成している。

【0126】図2に示したタグセルを構成するメモリセルの動作を図4を用いて説明する。

【0127】ここで、R1～R8は各MOSFETのオ

ン抵抗とする。即ち、インバータ11のpチャネルMOSFETのオン抵抗をR1、インバータ11のnチャネルMOSFETのオン抵抗をR2、インバータ12のpチャネルMOSFETのオン抵抗をR3、インバータ12のnチャネルMOSFETのオン抵抗をR4、MOSFET14のオン抵抗をR5、MOSFET13のオン抵抗をR6、インバータ17のpチャネルMOSFETのオン抵抗をR7、インバータ17のnチャネルMOSFETのオン抵抗をR8とする。

【0128】また、記憶データ"1"とはノードN1が" L"、ノードN2が" H"、記憶データ"0"とはノードN1が" H"、ノードN2が" L"と定義する。

【0129】このメモリセルは、係数記憶メモリ1のワード線を選択時"0"、非選択時"1"を記憶する様に、例えば、次の様に設計すればよい。

【0130】上記各MOSFETのオン抵抗を、 $R1=R2=R3=R4=4R$ 、 $R5=R6=R8=R$ 、 $R7=R5$ とする。ここで、Rは任意の値である。

【0131】説明を簡単にするために、インバータ11、12共にスレッショールド電圧を2.5Vとし、電源電圧を5Vとすると、選択時並びに非選択時は次に示すようになる。

【0132】(1) 選択時(選択前:1)の時
R1-R5より、ノードN2は1Vとなり、インバータ12のスレッショールド電圧以下なので、フリップフロップが反転し、"0"を記憶する。

【0133】(2) 非選択時(選択前:"1"、インバータ17へのA入力:" L")の時
R7-R6-R4より、ノードN1は2Vとなり、インバータ11のスレッショールド電圧以下なので、フリップフロップは反転せず"1"を保持する。

【0134】(3) 非選択時(選択前:"0"、インバータ17へのA入力:" H")の時
R3-R6-R8より、ノードN1は1.7Vとなり、インバータ11のスレッショールド電圧以下なので、フリップフロップは反転し"1"を記憶する。

【0135】インバータのスレッショールド電圧、各MOSFETのオン抵抗等、上記(1)~(3)の条件を満たす範囲内で自由に設定できる。

【0136】図3はタグセル10と係数記憶メモリ1と他の実施例における要部を示す回路用である。図3に示す実施例においては、制御回路2より与えられる記憶情報がワーヤードORにより、タグセル10のフリップフロップ与えられるように構成される。即ち、制御回路2より与えられる記憶情報に基づく出力がインバータ17をMOSFET18、19からフリップフロップに与えられる。

【0137】この図3に示す回路であれば、上記(2)の条件がなくなり自由度あるいは回路の安定度が増す。

【0138】次に、図3を参照して忘却タグセルとして

の動作を説明する。

【0139】選択線(ワードライン:WLM)は係数記憶メモリ1のワードラインWLMと共通にしている。係数記憶メモリ1内にある番地をアクセスする度に、上述(1)の通りタグの内容がリセットされ"0"となる。この時クロック信号CKによりプリチャージされていた忘却線*RMBはMOSFET15の動きにより" L"となる。忘却線*RMBが" L"の時は、覚えていることを示す。逆に非選択のワードラインWLMに繋るタグセルは上述(3)の通りタグの内容がセットされ"1"となる。このとき忘却線*RMBは" H"を維持している。忘却線*RMBが" H"の時は、忘却とする。

【0140】上記の例では、係数記憶メモリ1をアクセスする度に選択番地はリセットその他のもの全てはセットされ、「忘却」が瞬時に行われることになる。「忘却」までの時間を模倣するには以下の様にする。

【0141】前述のタグセルを各ワードライン毎に複数個並置する。図1の例では、4ワードの係数記憶メモリ1に4ビットのタグセル10を付加したとする。

【0142】例えば、アドレスは"00"→"01"→"10"→"00"→"11"と変化し、データラインTLは各サイクル毎に0→1→2→3→0とシフトを繰返すとする。

【0143】簡単な為、サイクル0の前全タグセルの各ビットの内容が"1"だったと仮定すれば、タグセルのビットの情報は、次の表1に示すようになる。図5はこの動作を示すタイムチャートである。

【0143】

【表1】

19

サイクル0	1 1 1 0 1 1 1 0 1 1 1 0 1 1 1 1
サイクル1	1 1 0 0 1 1 0 0 1 1 1 1 1 1 0 1
サイクル2	1 0 0 0 1 1 1 1 1 0 1 1 1 0 0 1
サイクル3	0 0 0 0 0 1 1 1 0 0 1 1 1 1 1 1

【0144】上記表1に示すように、タグセルのビットの情報は変化する。従ってサイクル3にて忘却線* RMB 3が”L”となり、信号FGTは”H”となり忘却する。

【0145】この実施例では、4回中1回もアクセスされなければ忘却ということになる。

【0146】この考えを拡張すれば、忘却までの時間設定は種々の手法がある。例えば、タグメモリの数を増減するまたはデータラインTLの信号発生頻度を調整する等可能である。

【0147】又、実施例ではメモリをアクセスする信号と同期して、タグのセット/リセットを行っているが、システムロックと同期しても良い。この場合、忘却までの時間を絶対時間で設定できる。

【0148】又、忘却時間を制御回路2よりのデータラインTLの信号発生頻度をプログラムすることにより、忘却時間をプログラムすることも制御回路で論理的に設定できるので容易である。

【0149】

【発明の効果】この発明によれば、結合係数を記憶する

20

メモリに少なくとも1ビットのタグセルを設けることにより、メモリがアクセスされたか否かでこのタグセルの値を変更させ、タグセルの状態により、アクセスがされないメモリ領域は「忘却」するように制御することで、「忘却」を模倣することができる。また、「忘却」の時間をタグセルの個数または、周波数を制御することで、容易に設定できる。

【図面の簡単な説明】

【図1】この発明の実施例である信号処理回路装置を示すブロック図である。

【図2】この発明の実施例における係数記憶メモリとタグセルとの要部を示す回路図である。

【図3】この発明の他の実施例における係数記憶メモリとタグセルとの要部を示す回路図である。

【図4】この発明に適用されるタグセルの一例を示す回路図である。

【図5】図1の信号処理回路装置による各処理のタイミングを示すタイミングチャートである。

【図6】ニュートラルネットワークのモデルについて説明するための模式図である。

【図7】図7の神経細胞ユニットをネットワークに構成した模式図である。

【図8】シグモイド関数を示すグラフである。

【図9】神経細胞模倣回路を示す回路図である。

【図10】図7の線（結線）に相当する回路を示す回路図である。

【図11】図7の丸（神経細胞ユニット）に相当する回路を示す回路図である。

【図12】出力層の出力と教師信号から出力層における誤差信号を求める回路を示す回路図である。

【図13】ニュートラルネットワークを電気回路で実現した例を示す回路図である。

【図14】単一神経細胞の回路構成を示すブロック図である。

【図15】シナプス回路を示すブロック図である。

【図16】細胞体回路を示すブロック図である。

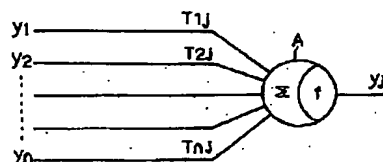
【符号の説明】

1 係数記憶メモリ

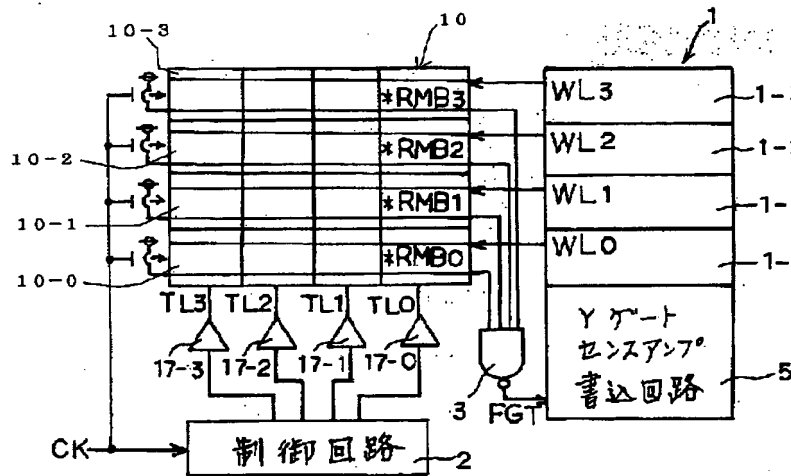
2 制御回路

40 1 0 タグセル

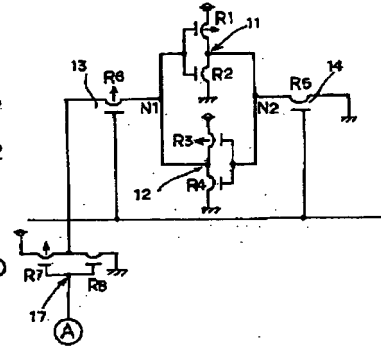
【図6】



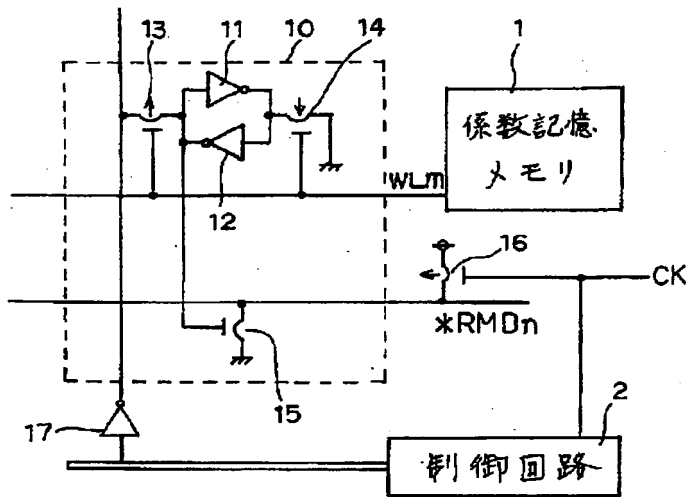
【図1】



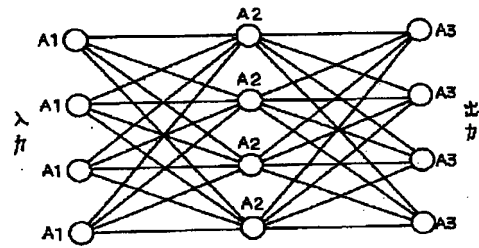
【図4】



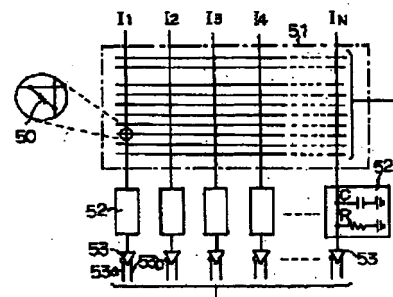
【図2】



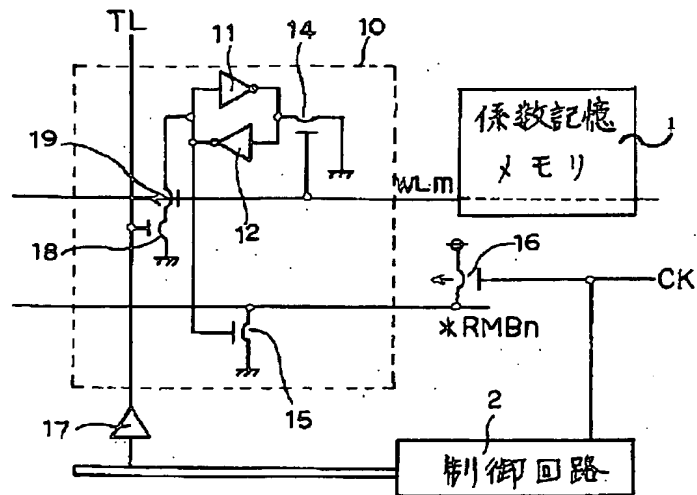
【図7】



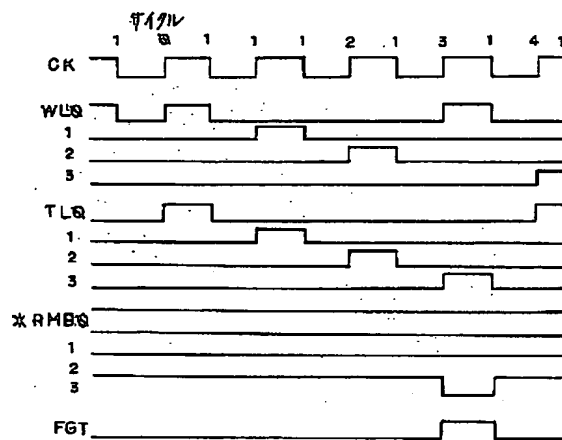
【図13】



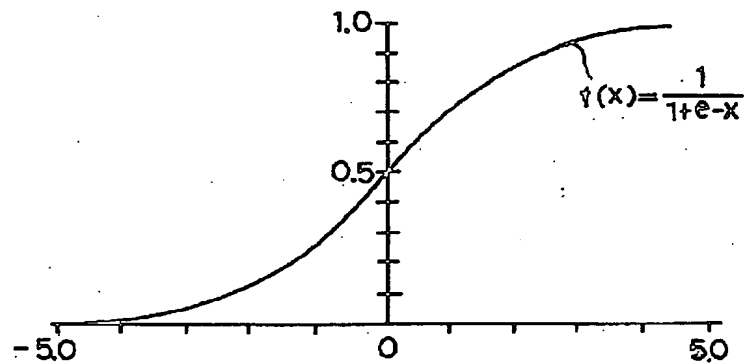
【図3】



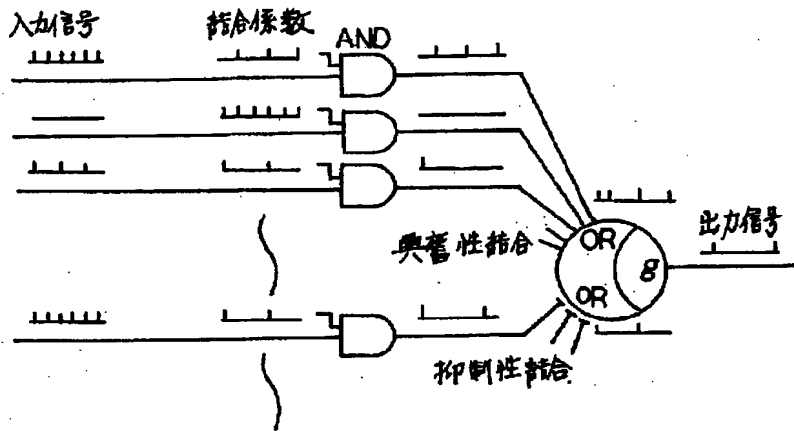
【図5】



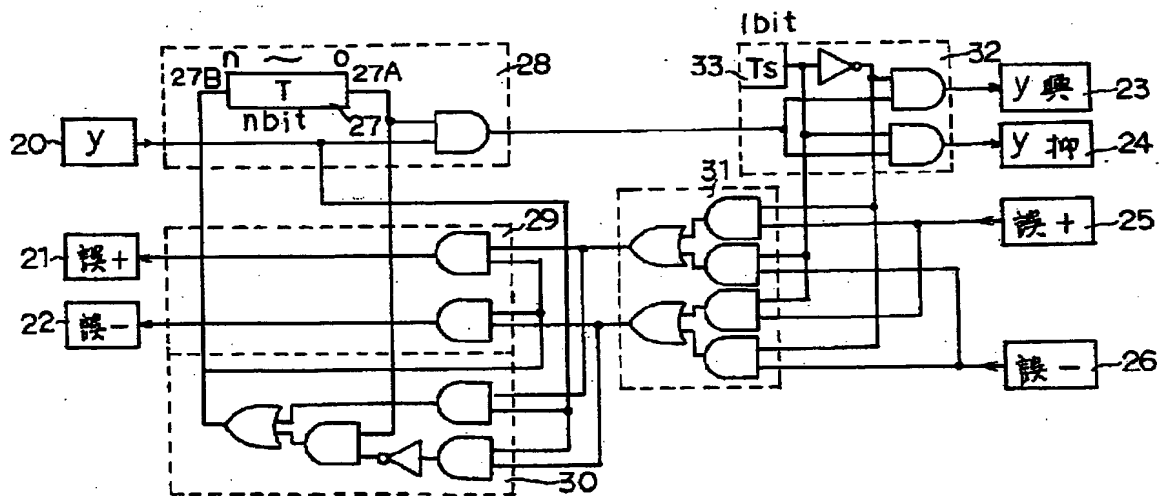
【図8】



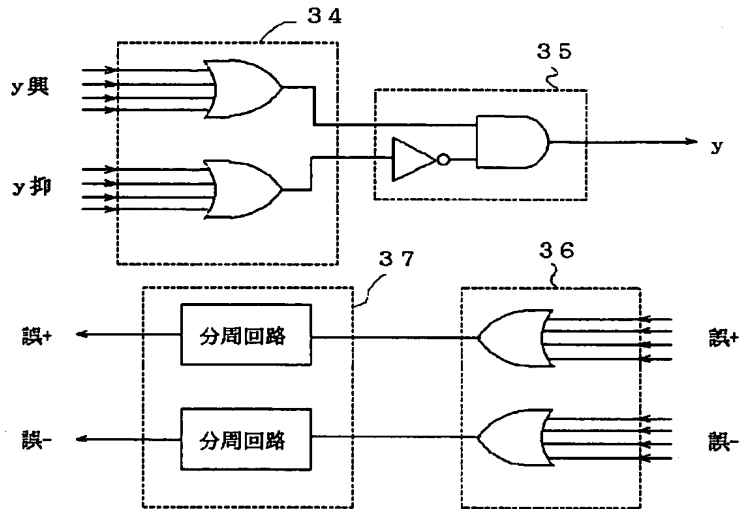
【図9】



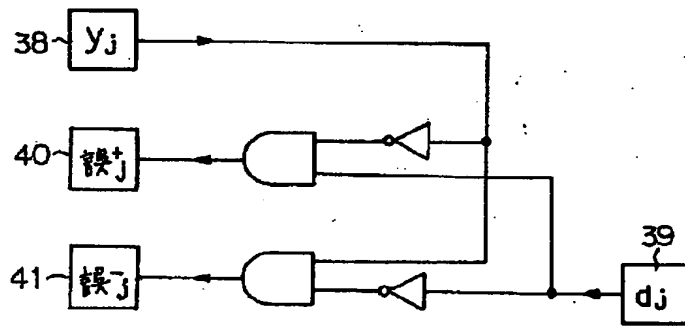
【図10】



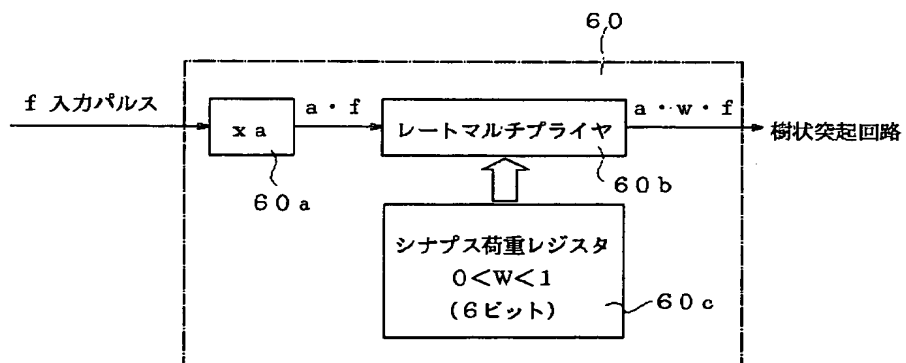
【図11】



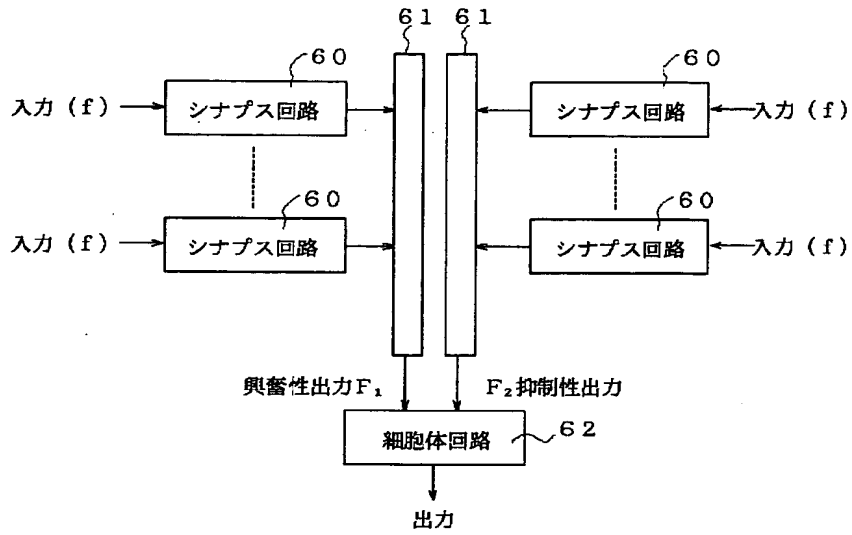
【図12】



【図15】



【図14】



【図16】

